

(Translation)

Citation 2

Japanese Patent Laid-Open Publication No. 2001-53726

Laid-Open Date: February 23, 2001

Application No. 227774/1999 dated August 11, 1999

Applicant: NEC Corporation

Title: TEST METHOD OF FCS INSPECTION PROCESSING IN FLAG
SYNCHRONOUS TRANSMISSION SYSTEM AND SYSTEM FOR THE SAME

Relevant parts:

[0002]

[Prior Art]

Conventionally, a flag synchronous system has been used as a transmission control procedure in the computer networks. This flag synchronous system corresponds to a synchronous system of a layer 1 in a high level data link control (HDLC) that is code-independent and capable of high efficiency transmission.

[0003]

In the transmission frame (information frame, monitoring frame, non-numbered frame and so on) of the flag synchronous system, an address field (A/for example, 8 bits) and a control field (C/for example, 8 bits) are provided as well as head and tail flag sequence fields (FCS-F/for example, 8 bits), and an FCS field for inspecting an error is further provided before the tail.

[0004]

Through use of the FCS field, an FCS inspection processing part (an FCS check part) provided in an exchange or a subscriber device (for example, a computer) in an exchange network performs check for an error in a transmission frame. This implements a test whether the FCS inspection processing is normal or not, that is, a normal operation verification test of an inspection processing in the FCS inspection processing part (for example, examples of Japanese Patent Laid-Open Publication Nos. 252305/1997 and 261233/1997, Japanese Patent No. 2878914, and Japanese translation of PCT publication No. 500829/1998).

[0005]

FIG. 5 is a diagram for explaining the normal operation verification test of conventional FCS inspection processing (the FCS inspection processing part). In this

example, an exchange 50A and an exchange network computer 50B are connected to each other via a communication line 51 in a manner to be opposite each other. The exchange 50A and the exchange network computer 50B have the same configuration and have CPUs 53a and 53b, peripheral devices 54a and 54b/54c and 54d such as main memories, external memories, input/output devices and so on, communication control units 55a and 55b, and bus lines 56a and 56b, respectively.

[0006]

Further, a communication control unit 57 for the normal operation verification test on the FCS inspection processing, which connected to the bus line 56a, is provided in the exchange 50A, and a line tester 58 is connected to the communication control unit 57.

[0007]

In the normal operation verification test on the FCS inspection processing by this configuration, error data is inserted into the transmission frame from the line tester 58 provided in the exchange 50A on the side where the line test is implemented via the communication control unit 55, and transmitted. Depending on the detection state of the transmission data in the FCS inspection processing part (not shown) in the communication control unit 55a, the normal operation verification test therefor is performed.

[0008]

Further, the transmission data is transferred to the communication control unit 55b of the exchange network computer 50B over the communication line 51, and the normal operation verification test is performed depending on the detection state thereof. Note that as the normal operation verification test using the line tester 58, there is an example that the communication control unit 57 performs the normal operation verification test on the FCS inspection processing by the data turned back from the exchange network computer 50B.

[0009]

In such a normal operation verification test on the FCS inspection processing, a dedicated line tester 58 is required, and a continuous connection state needs to be established among the communication control unit 57, the communication control unit 55a and the communication control unit 55b by the communication line 51 after the subscriber device (the exchange network computer 50B) is incorporated in the exchange 50A. Thus, after start of service of the subscriber device, the normal

operation verification test on the FCS inspection processing becomes impossible, so that when a failure occurs in the FCS inspection processing part in the communication control units 55a and 55b, the failure becomes prominent and error detection becomes impossible due to disorder (disturbance) of the line connection.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053726

(43)Date of publication of application : 23.02.2001

(51)Int.Cl.

H04L 1/00
H04L 12/26
H04L 29/14
H04M 3/26

(21)Application number : 11-227774

(71)Applicant : NEC CORP

(22)Date of filing : 11.08.1999

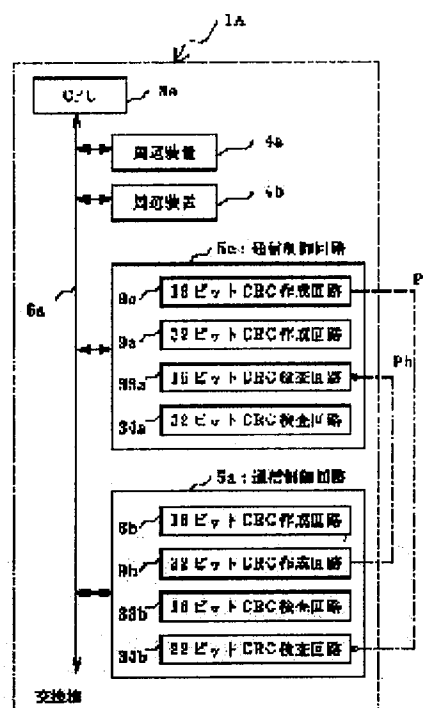
(72)Inventor : UTSUKI TSUTOMU

(54) TESTING METHOD OF FCS INSPECTION PROCESSING IN FLAG SYNCHRONIZING TRANSMISSION SYSTEM AND ITS SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To dispense with a line testing device exclusive for FCS check and to enable a normal operation confirmation test of FCS check during service in which a subscriber device is constantly stored.

SOLUTION: The normal operation confirmation test of an FCS inspection processing (FCS inspection processing part) is performed based on generation or no generation of an FCS error due to coincidence or difference of the number of bits in a CRC polynomial between the CRC generation in the case of transmission and CRC inspection in the case of reception. Paths Pa, Pb capable of transmitting and receiving a transmission frame are set by connecting 16/32 bit CRC creating circuits 8a, 8b/9a, 9b and 16/32 bit CRC inspection circuits 33a, 33b/34a, 34b. The normal operation confirmation test of the FCS inspection processing is performed based on the generation or no generation of the FCS error when the CRC polynomials of 16 bit, 32 bit are coincident or different.



(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
H 0 4 L 1/00		H 0 4 L 1/00	A 5 K 0 1 4
12/26		H 0 4 M 3/26	C 5 K 0 1 9
29/14		H 0 4 L 11/12	5 K 0 3 0
H 0 4 M 3/26		13/00	3 1 5 Z 5 K 0 3 5

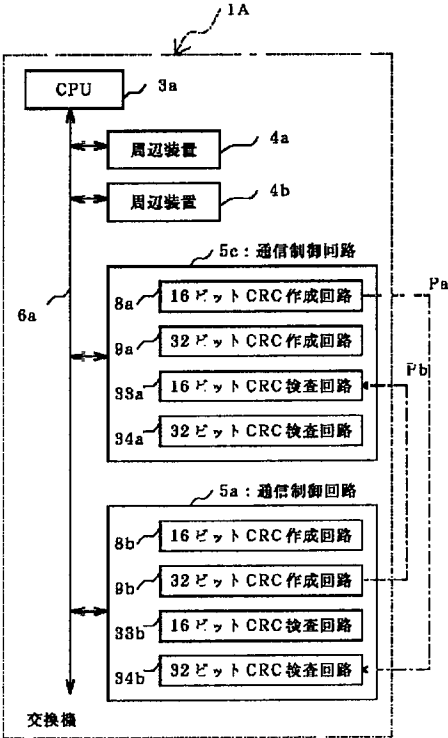
審査請求 有 請求項の数8 O L (全 9 頁)

(21)出願番号	特願平11-227774	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成11年8月11日(1999.8.11)	(72)発明者	宇津木 勉 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	100086759 弁理士 渡辺 喜平

最終頁に続く

(54)【発明の名称】 フラグ同期伝送方式におけるFCS検査処理の試験方法及びそのシステム

(57)【要約】
【課題】 FCSチェック専用の回線試験装置を不要にし、かつ、加入者装置を常時収容している運用中でのFCSチェックの正常動作確認試験を可能にする。
【解決手段】 FCS検査処理（FCS検査処理部）の正常動作確認試験を、送信時のCRC生成と受信時のCRC検査とのCRC多項式におけるビット数の一致又は相違によるFCSエラーの発生又は非発生に基づいて行う。16／32ビットCRC作成回路8a、8b／9a、9b及び16／32ビットCRC検査回路33a、33b／34a、34bを接続して伝送フレームの送信受信可能なパスPa、Pbを設定する。16ビット、32ビットのCRC多項式が一致又は相違した場合のFCSエラーの発生又は非発生に基づいてFCS検査処理の正常動作確認試験を行う。



【特許請求の範囲】

【請求項1】 フラグ同期方式の巡回冗長検査（CRC）によるフレームチェックシーケンス（FCS）検査処理の正常動作確認試験を、同一通信制御装置内で行うフラグ同期伝送方式におけるFCS検査処理の試験方法であって、
送信と受信ごとにビット数が一致又は相違するCRC生成多項式を選択する過程と、
この選択された送信時のCRC生成と受信時のCRC検査とのCRC多項式における、ビット数の一致又は相違によるFCSエラーの発生又は非発生に基づいてFCS検査処理の正常動作確認試験を行う過程と、
を有することをフラグ同期伝送方式におけるFCS検査処理の試験方法。

【請求項2】 前記同一通信制御装置に代えて、通信回線に対向して接続される通信制御装置の間でFCS検査処理の正常動作確認試験を行うことを特徴とする請求項1記載のフラグ同期伝送方式におけるFCS検査処理の試験方法。

【請求項3】 フラグ同期方式におけるCRCによるFCS検査処理の正常動作確認試験を、同一通信制御装置内で行うフラグ同期伝送FCS検査処理試験システムであって、
送信と受信ごとにビット数が一致又は相違するCRC生成多項式を選択する選択手段と、
前記選択手段で選択された送信時のCRC生成と受信時のCRC検査とのCRC多項式における、ビット数の一致又は相違によるFCSエラーの発生又は非発生に基づいてFCS検査処理の正常動作確認試験を行う試験判断手段と、
を備えることを特徴とするフラグ同期伝送FCS検査処理試験システム。

【請求項4】 フラグ同期方式においてCRC方式によるFCS検査処理の正常動作確認試験を、通信回線に対向して接続される相違した通信制御装置間で行うフラグ同期伝送FCS検査処理試験システムであって、
前記送信側の通信制御装置でビット数が一致又は相違するCRC生成多項式を選択する送信側生成多項式選択手段と、
前記送信側の通信制御装置で選択されたCRC生成多項式とビット数が一致又は相違するCRC生成多項式を選択する受信側生成多項式選択手段と、
前記受信側生成多項式選択手段で選択された送信時のCRC生成と受信時のCRC検査とのCRC多項式における、ビット数の一致又は相違によるFCSエラーの発生又は非発生からFCS検査処理の正常動作確認試験を行う受信側試験判断手段と、
を備えることを特徴とするフラグ同期伝送FCS検査処理試験システム。

【請求項5】 前記送信時のCRC生成と受信時のCRC

C検査とのCRC多項式におけるビット数の一致又は相違の設定が、上位装置からの制御で行われることを特徴とする請求項3又は4記載のフラグ同期伝送FCS検査処理試験システム。

【請求項6】 前記通信制御装置が、交換網における交換機又は交換網に収容される加入者装置に設けられることを特徴とする請求項3又は4記載のフラグ同期伝送FCS検査処理試験システム。

【請求項7】 前記複数のCRC多項式が、少なくとも16ビットCRC多項式及び32ビットCRC多項式であることを特徴とする請求項3又は4記載のフラグ同期伝送FCS検査処理試験システム。

【請求項8】 前記FCS検査処理の正常動作確認試験を、少なくともデータ伝送、多重化変換に適用することを特徴とする請求項3又は4記載のフラグ同期伝送FCS検査処理試験システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フラグ同期方式において巡回冗長検査（CRC/Cyclic Redundancy Check）によるフレームチェックシーケンス（FCS）検査処理（FCSチェック部）の正常動作確認試験を行うフラグ同期伝送方式におけるFCS検査処理の試験方法及びそのシステムに関する。

【0002】

【従来の技術】従来、コンピュータネットワークなどにおける伝送制御手順として、フラグ同期方式が用いられている。このフラグ同期方式は、コードインディペンデント及び高効率伝送が可能なハイレベルデータリンク制御（HDLC）手順におけるレイヤ1の同期方式に相当する。

【0003】このフラグ同期方式の伝送フレーム（情報フレーム、監視フレーム、非番号制フレーム等）では、先頭及び最後尾のフラグシーケンスフィールド（FCS—F／例えば、8ビット）と共に、例えば、監視フレームではアドレスフィールド（A／例えば、8ビット）、制御フィールド（C／例えば、8ビット）が設けられ、更に、最後尾の前に誤り検査用のFCSフィールドが設けられている。

【0004】このFCSフィールドを用いて、交換網における交換機や加入者装置（例えば、コンピュータ）に設けられたFCS検査処理部（FCSチェック部）が、伝送フレームの誤りチェックを行う。これはFCS検査処理が正常か否かの試験、すなわち、FCS検査処理部における検査処理の正常動作確認試験を実施する（例えば、特開平9-252305号、特開平9-261233号、特許第2878914号、特表平10-500829号の公報例）。

【0005】図5は、従来のFCS検査処理（FCS検

査処理部)の正常動作確認試験を説明するための図である。この例は、交換機50A及び交換網コンピュータ50Bが、通信回線51で対向して接続されている。交換機50A及び交換網コンピュータ50Bは、同様の構成であり、それぞれCPU53a、53bと、主記憶装置、外部記憶装置、入出力装置などの周辺装置54a、54b/54c、54dと、通信制御装置55a、55b及びバスライン56a、56bとを有している。

【0006】また、交換機50Aにはバスライン56aに接続されたFCS検査処理に対する正常動作確認試験用の通信制御装置57が設けられ、この通信制御装置57に回線試験機58が接続されている。

【0007】この構成によるFCS検査処理の正常動作確認試験では、回線試験実施側の交換機50Aに設けた回線試験装置58から通信制御装置55を通じて伝送フレームに誤りデータを挿入して伝送する。この伝送データに対する通信制御装置55a内のFCS検査処理部(図示せず)における検出状態によって、その正常動作確認試験を行っている。

【0008】また、この伝送データを通信回線51を通じて交換網コンピュータ50Bの通信制御装置55bに転送し、その検出状態によって、その正常動作確認試験を行っている。なお、回線試験機58を用いた正常動作確認試験では、通信制御装置57が交換網コンピュータ50Bから折り返されたデータによってFCS検査処理の正常動作確認試験を行う例がある。

【0009】このようなFCS検査処理の正常動作確認試験では、専用の回線試験装置58を必要とすると共に、交換機50Aに加入者装置(交換網コンピュータ50B)を収容した後は、通信制御装置57、通信制御装置55a及び通信制御装置55bの間を通信回線51で連続接続状態にする必要がある。このため、加入者装置のサービス開始後は、FCS検査処理の正常動作確認試験が不可能となり通信制御装置55a、55b内のFCS検査処理部に故障が発生した場合、その故障が潜在化し、回線接続の乱れ(擾乱)などによって誤り検出が出来なくなる。

【0010】

【発明が解決しようとする課題】このように上記従来例では、サービス開始後は、FCS検査処理の正常動作確認試験が不可能となり、FCS検査処理に障害が発生した場合、誤り検出が出来なくなり、正常なフレーム伝送が不可能になるという不都合がある。

【0011】本発明は、このような従来の技術における課題を解決するものであり、FCS検査処理専用の回線試験装置が不要になり、かつ、加入者装置を常時収容している運用中でのFCS検査処理(FCSチェック部)の正常動作確認試験が可能になり、誤り検出の障害発生が潜在化せずに、結果的に正常なフレーム伝送が確実に出来るようになるフラグ同期伝送方式におけるFCS検

査処理の試験方法及びそのシステムの提供を目的とする。

【0012】

【課題を解決するための手段】上記課題を達成するために、本発明のフラグ同期伝送方式におけるFCS検査処理の試験方法は、フラグ同期方式の巡回冗長検査(CRC)によるフレームチェックシーケンス(FCS)検査処理の正常動作確認試験を同一通信制御装置内で行うものであり、送信と受信ごとにビット数が一致又は相違するCRC生成多項式を選択する過程と、この選択された送信時のCRC生成と受信時のCRC検査とのCRC多項式におけるビット数の一致又は相違によるFCSエラーの発生又は非発生に基づいてFCS検査処理の正常動作確認試験を行う過程とを有している。

【0013】また、前記同一通信制御装置に代えて、通信回線に対向して接続される通信制御装置の間でFCS検査処理の正常動作確認試験を行っている。

【0014】本発明のフラグ同期伝送FCS検査処理試験システムは、フラグ同期方式におけるCRCによるFCS検査処理の正常動作確認試験を、同一通信制御装置内で行うものであり、送信と受信ごとにビット数が一致又は相違するCRC生成多項式を選択する選択手段と、選択手段で選択された送信時のCRC生成と受信時のCRC検査とのCRC多項式におけるビット数の一致又は相違によるFCSエラーの発生又は非発生に基づいてFCS検査処理の正常動作確認試験を行う試験判断手段とを備える構成としてある。

【0015】また、本発明のフラグ同期伝送FCS検査処理試験システムは、フラグ同期方式においてCRC方式によるFCS検査処理の正常動作確認試験を通信回線に対向して接続される相違した通信制御装置間で行うものであり、送信側の通信制御装置でビット数が一致又は相違するCRC生成多項式を選択する送信側生成多項式選択手段と、送信側の通信制御装置で選択されたCRC生成多項式とビット数が一致又は相違するCRC生成多項式を選択する受信側生成多項式選択手段と、受信側生成多項式選択手段で選択された送信時のCRC生成と受信時のCRC検査とのCRC多項式におけるビット数の一致又は相違によるFCSエラーの発生又は非発生からFCS検査処理の正常動作確認試験を行う受信側試験判断手段とを備える構成としてある。

【0016】前記送信時のCRC生成と受信時のCRC検査とのCRC多項式におけるビット数の一致又は相違の設定が、上位装置からの制御によって行われる構成としてある。

【0017】また、前記通信制御装置が、交換網における交換機又は交換網に収容される加入者装置に設けられる構成としてある。

【0018】更に、前記複数のCRC多項式を、少なくとも16ビットCRC多項式及び32ビットCRC多項

式とする構成としてある。

【0019】また、前記FCS検査処理の正常動作確認試験を、少なくともデータ伝送、多重化変換に適用する構成としてある。

【0020】このような本発明のフラグ同期伝送方式におけるFCS検査処理の試験方法及びそのシステムは、同一の通信制御装置内又は通信回線に対向して接続される通信制御装置の間で送信と受信ごとにビット数が一致又は相違するCRC生成多項式を選択し、この送信時のCRC生成と受信時のCRC検査とのCRC多項式(16ビットCRC多項式及び32ビットCRC多項式)におけるビット数の一致又は相違によるFCSエラーの発生又は非発生からFCS検査処理の正常動作確認試験を実施している。

【0021】この結果、FCS検査処理専用の回線試験装置が不要になり、FCS検査処理の正常動作確認試験が容易に出来るようになる。更に、加入者装置を常時収容している運用中におけるFCS検査処理(FCSチェック部)の正常動作確認試験が可能になる。したがって、誤り検出の障害発生が潜在化せずに、結果的に正常なフレーム伝送が確実に行われる。

【0022】

【発明の実施の形態】次に、本発明のフラグ同期伝送方式におけるFCS検査処理の試験方法及びそのシステムの実施の形態を図面を参照して詳細に説明する。図1は本発明のフラグ同期伝送方式におけるFCS検査処理の試験方法及びそのシステムの実施形態における構成を示すブロック図である。図1において、この例は、交換機1A及び交換網コンピュータ1Bが通信回線2で対向して接続されている。交換機1A及び交換網コンピュータ1Bは、同様の構成であり、それぞれCPU3a、3bと、主記憶装置、外部記憶装置、入出力装置などの周辺装置4a、4b/4c、4dと、通信制御装置5a、5b及びバスラインBusA、Bとを有している。また、交換機1AにはバスラインBusAに接続されたFCS検査処理の正常動作確認試験を行うための通信制御装置5cが設けられている。

【0023】図2は、交換機1A内でFCS検査処理の正常動作確認試験を行うための要部構成を示すブロック図である。図2の例は、図1に示す交換機1Aの通信制御装置5cに、選択手段としての16ビットCRC作成回路8a及び32ビットCRC作成回路9aを有し、更に、試験判断手段としての16ビットCRC検査回路33a及び32ビットCRC検査回路34aを有している。また、通信制御装置5aに、選択手段としての16ビットCRC作成回路8b及び32ビットCRC作成回路9bを有し、更に、試験判断手段としての16ビットCRC検査回路33b及び32ビットCRC検査回路34bを有している。また、選択手段及び試験判断手段としてのパスPa、Pbが設定される。

【0024】図3及び図4は、対向する交換機1A及び交換網コンピュータ1B(通信回線に対向して接続される相違した通信制御装置間)が、16/32ビットCRC生成多項式によるFCS検査処理の正常動作確認試験を実施する場合の構成を示すブロック図である。この例の送信側となる交換機1Aの通信制御装置5cは、図3に示すように、パターンセクタ6と、パラレル/シリアル(P/S)変換回路7と、送信側生成多項式選択手段としての16ビットCRC作成回路8及び32ビットCRC作成回路9と、送信セクタ10と、ゼロ(0)挿入制御部11と、送信側生成多項式選択手段としての送信CRCセクタ13及び送信制御レジスタ12並びに送信制御部14とから構成されている。

【0025】なお、これらの各部は、通信制御装置5cに代えて通信制御装置5aに設けても以下と同様の動作を行うことが出来る。

【0026】また、受信側となる交換網コンピュータ1Bの通信制御装置5bは、受信側生成多項式選択手段及び受信側試験判断手段としての受信制御レジスタ21及び受信制御部22と、折返セクタ24と、シリアル/パラレル(S/P)変換回路25と、フラグ検出ゼロ(0)除去回路26と、S/P変換回路27、28、29、30と、受信セクタ31と、受信バッファ32と、受信側生成多項式選択手段及び受信側試験判断手段としての16ビットCRC検査回路33及び32ビットCRC検査回路34並びに結果セクタ35とから構成されている。

【0027】次に、この実施形態の動作について説明する。ここでのFCS検査処理の正常動作確認試験は、送信時のCRC生成と受信時のCRC検査とのCRC多項式におけるビット数の一致又は相違によるFCSエラーの発生又は非発生に基づいて行う。

【0028】CRC方式では、送信側が入力データに対してCRC生成多項式で除算した余りをCRC符号(チェックビット)としてFCSフィールドに付加して送信する。受信側では、受信データをCRC生成多項式で除算した結果が割り切れれば正常伝送であり、割り切れない場合に異常伝送と判定している。

【0029】この場合の前記した複数のCRC生成多項式として、16ビットのCRC生成多項式(ITU-T(CCITT) 勧告)は、周知の「 $X^{16} + X^{12} + X^5 + 1$ 」である。また、32ビットのCRC生成多項式(IEEE802規格)も周知の「 $X^{32} + X^{26} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X^1 + 1$ 」である。

【0030】図1及び図2において、この例は、交換機1A内で送信と受信ごとに別個にCRC生成多項式のビット数を選択可能(一致又は相違)に構成されており、交換機1A内での折り返し処理によってFCS検査処理の正常動作確認試験を実施している。

【0031】すなわち、交換機1A内の通信制御装置5a、5cに16ビットCRC作成回路8a、8b及び32ビットCRC作成回路9a、9bとを設け、更に、16ビットCRC検査回路33a、33b及び32ビットCRC検査回路34a、34bとを設けて、ビット数が相互に相違するCRC生成多項式を用いたCRC作成及びCRC検査を行う。

【0032】この場合、通信制御装置5a、5cにおいて、複数のCRC生成多項式によるFCSフィールドの作成回路及び検査回路（ここでは16/32ビットCRC作成回路8a、8b/9a、9b及び16/32ビットCRC検査回路33a、33b/34a、34b）を接続して、伝送フレームの送受信が可能なパスPa、Pbを設定する。例えば、通信制御回路5cの16ビットCRC作成回路8aで作成したFCSフィールドを通信制御回路5aの32ビットCRC検査回路34bで受信する。また、通信制御回路5aの32ビットCRC作成回路9bで作成したFCSフィールドを通信制御回路5cの16ビットCRC検査回路33aで受信する。

【0033】これによって、複数（ここでは16ビット及び32ビット）のCRC多項式が相違し、そのFCSエラーの発生によってFCS検査処理の正常動作確認試験が可能になる。この場合、異常伝送発生が確認される。

【0034】この場合の送信時のCRC生成と受信時のCRC検査とのCRC多項式におけるビット数の一致又は相違の設定は、図示しない上位装置からの設定信号をCPU3aが取り込んで行う。

【0035】この結果、従来例のようなFCSチェック専用の回線試験装置が不要になり、FCS検査処理の正常動作確認試験が容易に出来るようになる。更に、加入者装置（交換機1A及び交換機1B）を常時収容している運用中でのFCS検査処理の正常動作確認試験が可能になる。これによって、誤り検出の障害発生が潜在化せずに、結果的に正常なフレーム伝送が確実に出来るようになる。

【0036】図1及び図3において、この例は、対向する交換機1A及び交換機1Bの通信制御装置5c（又は、通信制御装置5a）及び通信制御装置5bが、CRC生成多項式のビット数を相互に一致させ、又は、相違するように設定して、そのFCS検査処理の正常動作確認試験を実施している。

【0037】すなわち、対向する交換機1A及び交換機1Bが、それぞれに一致し又は相違する16ビット及び32ビットのCRC生成多項式によるFCS検査処理の正常動作確認試験を実施している。

【0038】送信側となる交換機1A中での通信制御装置5c（又は、通信制御装置5a）は、送信データ、フラグパターン、アボートパターンがパターンセクタ6、P/S変換回路7、送信セクタ10及びゼロ

(0)挿入制御部11でそれぞれ処理されて送出される。P/S変換回路7からのシリアルデータが16ビットCRC作成回路8及び32ビットCRC作成回路9に入力されて、16ビット又は32ビットのCRC作成を行う。なお、各部の送信制御が送信制御部14で実行される。

【0039】次に、図示しない上位装置からの指示で送信制御レジスタ12が切替信号を送信CRCセクタ13に送出し、送信CRCセクタ13が16ビットCRC作成回路8又は32ビットCRC作成回路9の出力を切り替えることにより、16ビット又は32ビットのCRC作成を行う。

【0040】また、受信側となる交換機1Bの通信制御装置5bは、交換機1A中での通信制御装置5c（又は、通信制御装置5a）からの伝送データ及び受信データが折返セクタ24、S/P変換回路25、27、28、29、30を通じてシリアルデータからパラレルデータに変換され、更に、受信セクタ31及び受信バッファ32を通じて出力される。また、折返セクタ24がフラグ検出ゼロ(0)除去回路26に入力される。

【0041】同時にS/P変換回路25からのデータが16ビットCRC検査回路33及び32ビットCRC検査回路34に入力される。16ビットCRC検査回路33、32ビットCRC検査回路34は、それぞれ16ビットCRC検査及び32ビットCRC検査を行う。この16ビットCRC検査回路33及び32ビットCRC検査回路34からのそれぞれ16ビットCRC検査データ及び32ビットCRC検査データが結果セクタ35に入力される。

【0042】結果セクタ35は、受信制御レジスタ21からの切替信号によって16ビットCRC検査回路33又は32ビットCRC検査回路34の出力を切り替える。この場合、対向する交換機1A及び交換機1Bの通信制御装置5c（又は、通信制御装置5a）及び通信制御装置5bが、CRC生成多項式のビット数を相互に相違するように設定する。

【0043】この結果、FCSエラーの発生を示すFCS検査結果データが結果セクタ35に出力される。すなわち、異常発生が確認できることになる。換言すれば、送信側の送信CRCセクタ13と、受信側の結果セクタ35の制御を分離しているため、送信側と受信側のCRC生成多項式を自由に選択できるようになる。なお、各部の受信制御が受信制御部22の制御で実行される。

【0044】なお、従来、このような通信制御装置では、送信側の送信セクタ13と、受信側の結果セクタ35が連動していることが考えられるため送信側と受信側との16ビット、32ビットのCRC多項式が常時同一となり、そのFCSエラーが発生せずに、FCS検

査処理の正常動作確認試験が出来ないものである。

【0045】このようにして、対向する交換機1A及び交換網コンピュータ1Bにおいて、送信時のCRC生成と受信時のCRC検査とのCRC多項式におけるビット数の一致又は相違によるFCSエラーの発生又は非発生に基づいて、そのFCS検査処理の正常動作確認試験が行われる。この場合の送信時のCRC生成と受信時のCRC検査とのCRC多項式のビット数の一致又は相違の設定は、図示しない上位装置からの設定信号が送信制御レジスタ12及び、受信制御レジスタ21（受信制御部22でも良い）に入力されて行われる。

【0046】なお、このCRC多項式のビット数の一致又は相違の設定は、上位装置からの設定信号を送信制御部14が取り込んで送信制御レジスタ12を制御して行うようにしても良い。同様に受信制御部22が受信制御レジスタ21を制御するようにしても良い。

【0047】このように図1及び図3に示す交換機1A及び交換網コンピュータ1Bが対向する構成でも、前記と同様に回線試験装置が不要になり、FCS検査処理の正常動作確認試験が容易に行われ、また、加入者装置（交換網コンピュータ1B）を常時収容している運用中での試験が可能になる。したがって、誤り検出の障害発生が潜在化せずに、結果的に正常なフレーム伝送が確実に行われる。

【0048】なお、このようなFCS検査処理の正常動作確認試験は、データ伝送、例えば、前記したコンピュータネットワークでのデータ通信におけるデータ転送と共に、パケット網でのパケット伝送、フレームリレー網におけるフレーム転送、No. 7共通線信号網の信号ユニット伝送、ISDN網の呼制御信号やパケット転送等に適用され、更に、アナログ回線を収容する多重化変換装置（PCM-MUX）などにも適用される。

【0049】

【発明の効果】以上の説明から明らかなように、本発明のフラグ同期伝送方式におけるFCS検査処理の試験方法及びそのシステムにれば、同一の通信制御装置内又は通信回線に対向して接続される通信制御装置の間で、選択した送信と受信ごとにビット数が一致又は相違するCRC生成多項式によるCRC検査でのFCSエラーの発生又は非発生に基づいてFCS検査処理の正常動作確認試験を行っている。

【0050】この結果、FCS検査処理専用の回線試験装置が不要になり、FCS検査処理の正常動作確認試験が容易に出来るようになる。更に、加入者装置を常時収容している運用中でのFCS検査処理（FCSチェック部）の正常動作確認試験が可能になる。したがって、誤り検出の障害発生が潜在化せずに、結果的に正常なフレーム伝送が確実に出来るようになる。

【図面の簡単な説明】

【図1】本発明のフラグ同期伝送方式におけるFCS検査処理の試験方法及びそのシステムの実施形態における構成を示すブロック図である。

【図2】実施形態にあって交換機内でFCS検査処理の正常動作確認試験を行うための構成を示すブロック図である。

【図3】実施形態にあって対向する通信制御装置間でFCS検査処理の正常動作確認試験を行うための通信制御装置の構成を示すブロック図である。

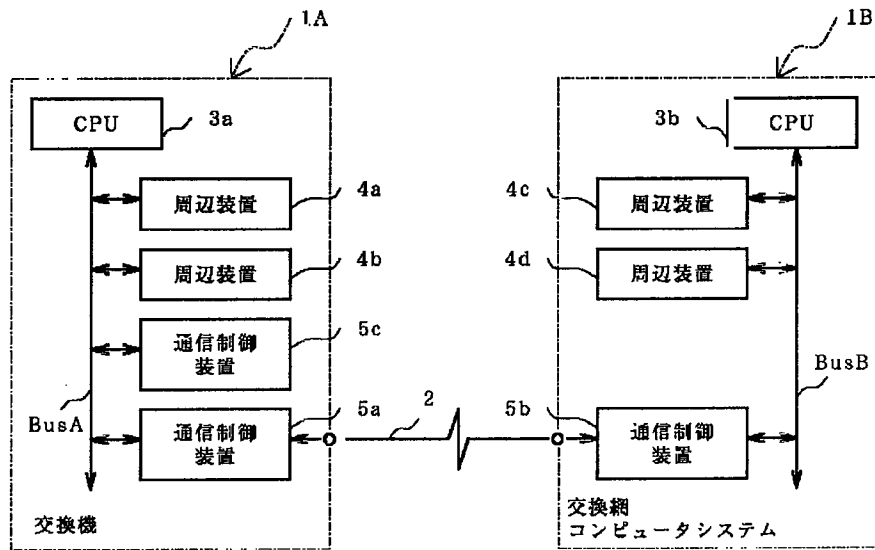
【図4】実施形態にあって対向する通信制御装置間でFCS検査処理の正常動作確認試験を行うための通信制御装置の構成を示すブロック図である。

【図5】従来例におけるFCS検査処理の正常動作確認試験を説明するための図である。

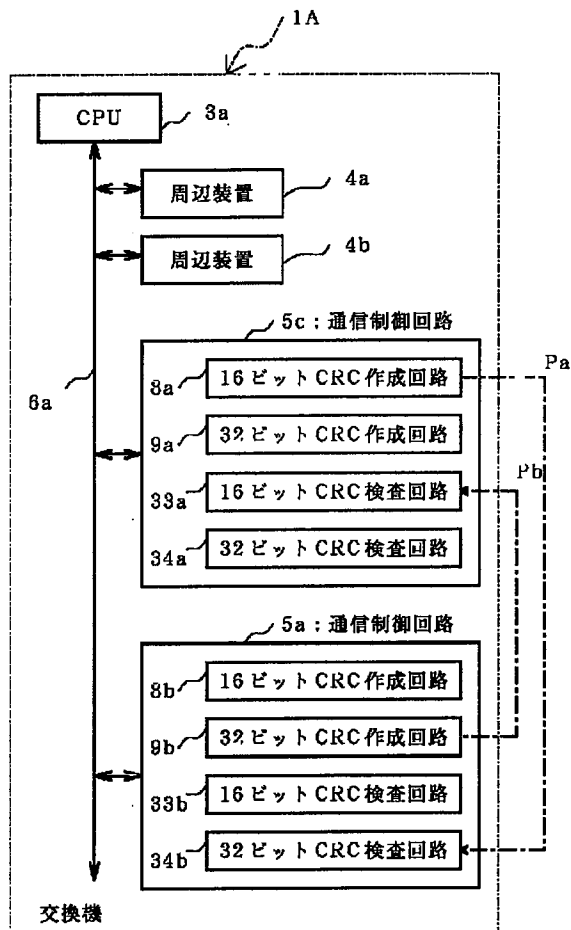
【符号の説明】

- 1 A 交換機
- 1 B 交換網コンピュータ
- 2 通信回線
- 3 a, 3 b CPU
- 5 a～5 c 通信制御装置
- 8, 8 a, 8 b 16ビットCRC作成回路
- 9, 9 a, 9 b 32ビットCRC作成回路
- 10 送信セクタ
- 13 送信CRCセクタ
- 12 送信制御レジスタ
- 14 送信制御部
- 21 受信制御レジスタ
- 22 受信制御部
- 33, 33 a, 33 b 16ビットCRC検査回路
- 34, 34 a, 34 b 32ビットCRC検査回路
- 35 結果セクタ
- Pa, Pb パス

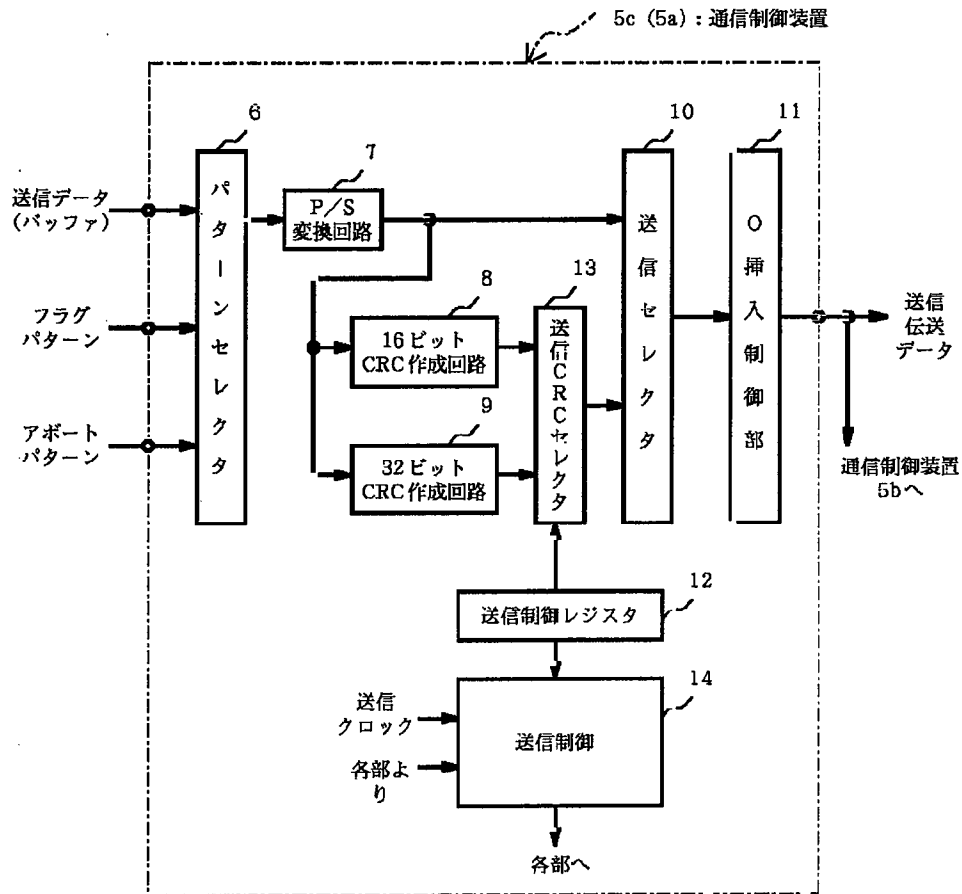
【図1】



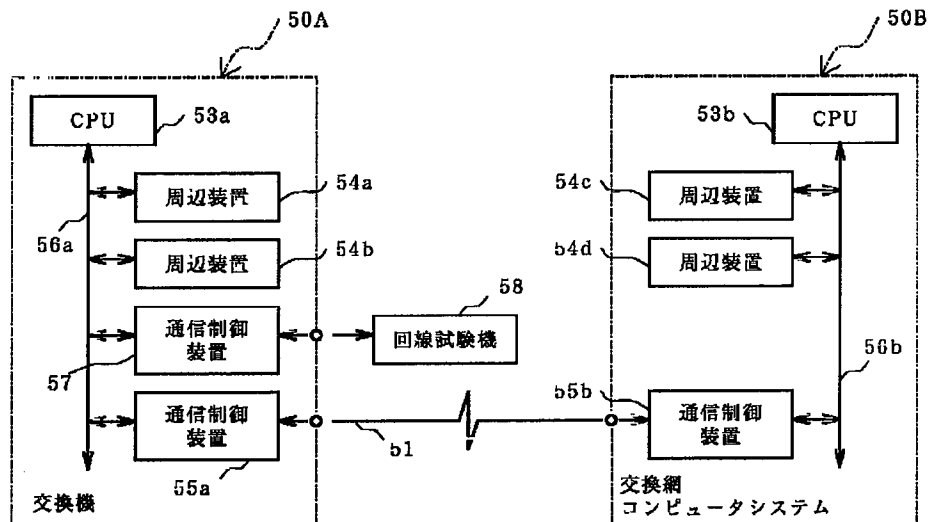
【図2】



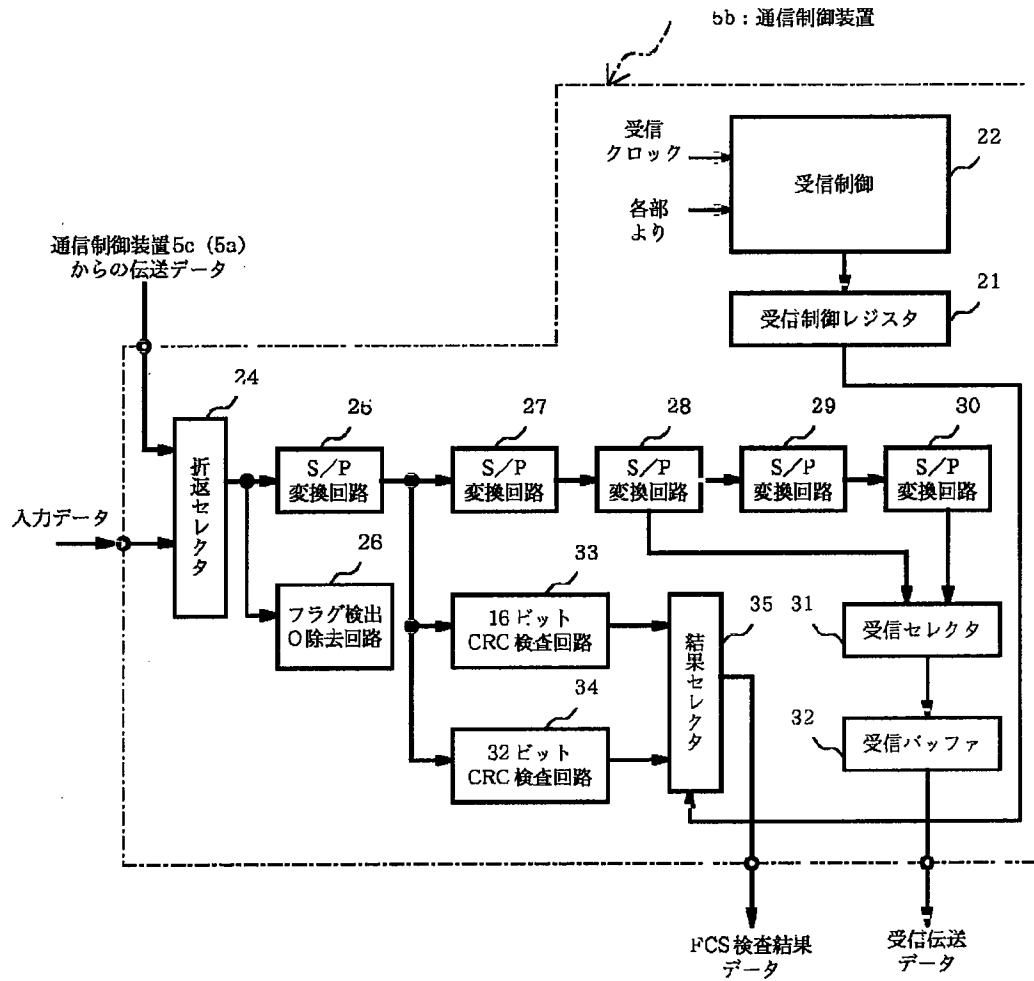
【図3】



【図5】



【図4】



フロントページの続き

Fターム(参考) 5K014 AA01 AA05 BA06 EA02 EA07
 GA00 GA05 GA06 HA00 HA10
 5K019 AA08 AC09 BA01 BA61 BB59
 CA02 CC15 CD10
 5K030 GA14 HA09 HB12 HD01 JA10
 KX30 LA15 MA05 MB08 MC02
 5K035 AA03 BB04 CC08 DD01 EE07
 EE10 GG06 HH07 MM02 MM03
 MM06